

(11)Publication number : 2001-338993
(43)Date of publication of application : 07.12.2001

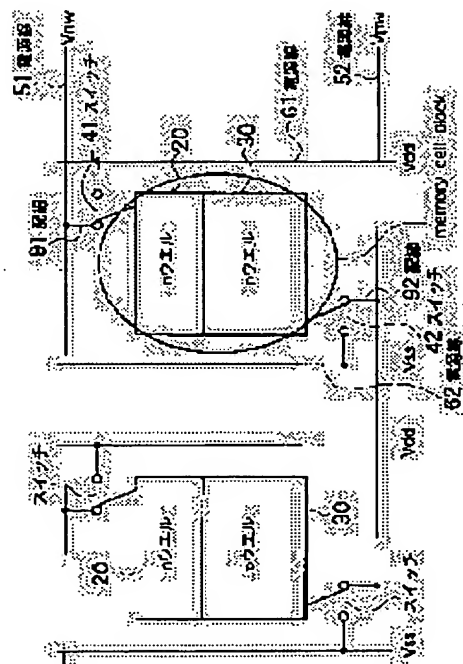
(21)Application number : 2001-074700 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 15.03.2001 (72)Inventor : ISHIMARU KAZUNARI

(30)Priority
Priority number : 2000085058 Priority date : 24.03.2000 Priority country : JP

(57)Abstract:

PROBLEM TO BE SOLVED: To contrive high speed by lowering threshold voltage and contriving the increase of memory cell current without increasing stand-by current.

SOLUTION: In a memory device having a static memory cell wherein a first conductive transistor is formed in a second conductive well and a second conductive transistor is formed in a first conductive well, the second conductive well and the first conductive well are separated every number of the memory cell. The threshold voltage is lowered by giving respectively different potentials to their separated second conductive well and the first conductive well when the memory cell is selected to be operated and when the memory cell is not selected to be waited, current drawn from the memory cell is increased, during waiting of the memory cell, threshold voltage is increased, the leak current of the memory cell is decreased, and the high speed of the memory cell can be contrived without increasing the stand-by current.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-338993

(P2001-338993A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	21/8244	H 0 1 L 27/10	3 8 1
	27/11	C 1 1 C 11/34	3 3 5 C
G 1 1 C	11/413		3 4 5
	11/41	11/40	3 0 1
	11/412	H 0 1 L 27/04	F

審査請求 未請求 請求項の数20 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-74700(P2001-74700)

(22) 出願日 平成13年3月15日 (2001.3.15)

(31) 優先権主張番号 特願2000-85058(P2000-85058)

(32) 優先日 平成12年3月24日 (2000.3.24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 石丸 一成

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100083806

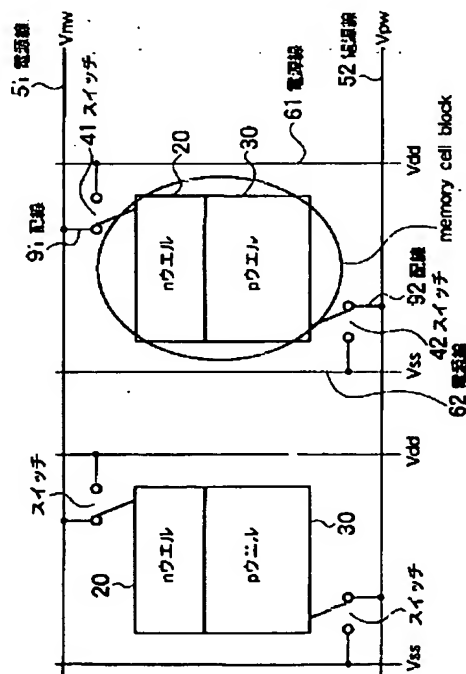
弁理士 三好 秀和 (外7名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スタンバイ電流が増大すること無く、閾値電圧を下げてメモリセル電流の増大を図ることにより、高速化を図ること。

【解決手段】 第2導電型のウエルに第1導電型のトランジスタが形成され、第1導電型のウエルに第2導電型のトランジスタが形成されるスタティック型メモリセルを有するメモリ装置において、第2導電型のウエル及び第1導電型のウエルをメモリセル数毎に分離する。これら分離された第2導電型のウエル及び第1導電型のウエルに、当該メモリセルが選択されて動作する時と当該メモリセルが非選択で待機している時とで、それぞれ異なる電位を与えることにより、当該メモリセルの動作時に閾値電圧を下げて、当該メモリセルから引き出せる電流を増大し、当該メモリセルの待機時に閾値電圧を上げて、当該メモリセルのリーク電流を減少させて、スタンバイ電流が増大すること無く、メモリセルの高速化を図ることができる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 第1導電型のトランジスタと、第2導電型のトランジスタにより構成されるスタティック型メモリセルを有する半導体装置において、

第1導電型のトランジスタの第2導電型のウエル及び第2導電型のトランジスタの第1導電型のウエルがあるメモリセル数毎に分離された構成を有し、

当該メモリセルが選択されて動作する時と当該メモリセルが非選択で待機している時とで、分離された第1導電型のウエルに異なる電位を与える電位切替手段を具備することを特徴とするメモリを有する半導体装置。

【請求項2】 第1導電型のトランジスタと、第2導電型のトランジスタにより構成されるスタティック型メモリセルを有する半導体装置において、

第1導電型のトランジスタの第2導電型のウエル及び第2導電型のトランジスタの第1導電型のウエルがあるメモリセル数毎に分離された構成を有し、

当該メモリセルが選択されて動作する時と当該メモリセルが非選択で待機している時とで、分離された第1導電型のウエルに異なる電位を与える第1の電位切替手段と、

当該メモリセルが選択されて動作する時と当該メモリセルが非選択で待機している時とで、分離された第2導電型のウエルに異なる電位を与える第2の電位切替手段とを具備することを特徴とするメモリを有する半導体装置。

【請求項3】 前記電位切替手段は当該メモリセルが選択されて動作する時に、前記分離された第1導電型のウエルに接地電位を付与し、当該メモリセルが非選択の待機時に、前記分離された第1導電型のウエルに接地電位より低い電位を付与することを特徴とする請求項2記載のメモリを有する半導体装置。

【請求項4】 前記電位切替手段は当該メモリセルが選択されて動作する時に、前記分離された第2導電型のウエルに電源電位を付与し、当該メモリセルが非選択の待機時に、前記分離された第2導電型のウエルに電源電位より高い電位を付与することを特徴とする請求項2記載のメモリを有する半導体装置。

【請求項5】 前記第1の電位切替手段は当該メモリセルが選択されて動作する時に、前記分離された第1導電型のウエルに接地電位を付与し、当該メモリセルが非選択の待機時に、前記分離された第1導電型のウエルに接地電位より低い電位を付与し、前記第2の電位切替手段は当該メモリセルが選択されて動作する時に、前記分離された第2導電型のウエルに電源電位を付与し、当該メモリセルが非選択の待機時に、前記分離された第2導電型のウエルに電源電位より高い電位を付与することを特徴とする請求項3記載のメモリを有する半導体装置。

【請求項6】 スタティック型メモリセルを有する半導体装置において、

第2導電型トランジスタを有する前記メモリセル内に存在する第1導電型のウエルと、

第1導電型のトランジスタを有する前記メモリセル内に存在する第2導電型のウエルと、

第1の電位を供給する第1の電源線と、

第2の電位を供給する第2の電源線と、

第3の電位を供給する第3の電源線と、

前記第1の電源線及び第2の電源線に結合され、切り替え信号に基づいて、前記第1導電型のウエルに前記第1の電位若しくは第2の電位を切り替えて供給する第1の切り替え部とを備えることを特徴とする半導体装置。

【請求項7】 スタティック型メモリセルを有する半導体装置において、

第2導電型のトランジスタを有し、前記メモリセル内に存在する第1導電型のウエルと、

第1導電型のトランジスタを有し、前記メモリセル内に存在する第2導電型のウエルと、

前記第1導電型のウエルに結合され、第1の電位若しくは第2の電位を供給する第1の電源線と、

第3の電位を供給する一つの第2の電源線と、

前記第1の電源線に結合され、切り替え信号に基づいて前記第1の電源線に前記第1の電位若しくは第2の電位を切り替えて供給する一つの切り替え部と、を有することを特徴とする半導体装置。

【請求項8】 前記切り替え部は、前記メモリセルが待機状態の場合には、前記第2の電位を前記第1導電型ウエルに供給し、メモリセルが選択状態の場合には、前記第1の電位を前記第1導電型ウエルに供給することを特徴とする請求項6又は7記載の半導体装置。

【請求項9】 前記第1導電型のウエルはP型ウエルであり、第2導電型トランジスタはN型トランジスタであることを特徴とする請求項8記載の半導体装置。

【請求項10】 前記第1の電位よりも前記第2の電位の方が小さいことを備えることを特徴とする請求項9記載の半導体装置。

【請求項11】 前記第1導電型のウエルはN型ウエルであり、第2導電型トランジスタはP型トランジスタであることを特徴とする請求項8記載の半導体装置。

【請求項12】 前記第1の電位よりも前記第2の電位の方が大きいことを特徴とする請求項11記載の半導体装置。

【請求項13】 前記切り替え部はメモリセルブロック毎に前記第1若しくは第2の電位を供給することを特徴とする請求項6又は7記載の半導体装置。

【請求項14】 前記第2導電型のトランジスタはMIS (Metal Insulator Semiconductor) トランジスタであることを特徴とする請求項6又は7記載の半導体装置。

【請求項15】 前記半導体装置さらに第4の電位を供給する第4の電源線と、前記第3の電源線及び第4の電源線に結合され、前記第2導電型のウエルに前記第3の

電位若しくは第4の電位を切り替えて供給する第2の切り替え部とを含むことを特徴とする請求項6又は7記載の半導体装置。

【請求項16】 前記切り替え信号はSWL (Section Word line)信号であることを特徴とする請求項6又は7記載の半導体装置。

【請求項17】 前記第1の切り替え部は、セクションワード線のドライブ回路を含む非メモリセル領域に配置することを特徴とする請求項6又は7記載の半導体装置。

【請求項18】 前記非メモリセル領域に、第2の電源線が設けられることを特徴とする請求項17記載の半導体装置。

【請求項19】 前記第2の電源線はビット線と略平行に設けられることを特徴とする請求項18記載の半導体装置。

【請求項20】 前記第一の切り替え部は、切り替え制御信号を入力する入力部、第1の出力部及び第2の出力部を有し、レベルシフタは切り替え制御信号に基づいて前記第1の出力部及び第2の出力部のいずれか一方にオン信号を出力するレベルシフタと、前記第1の出力部に結合され、前記オン信号の入力で前記第1の電位を前記第1の電源線に供給する第1のトランジスタ回路と、前記第2の出力部に結合され、前記オン信号の入力で前記第2の電位を前記第1の電源線に供給する第2のトランジスタ回路と、を有することを特徴とする請求項6又は7記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スタティック型メモリセルを有する半導体装置に係り、特にSRAM等のメモリセルに関する。

【0002】

【従来の技術】従来、素子の高集積化に伴い、MOSトランジスタも微細化されてきた。MOSトランジスタにより構成されるメモリセルも、微細化のトレンドに従い縮小化されてきた。この微細化によってMOSトランジスタの性能も向上しているが、メモリセルの縮小化により、トランジスタのチャネル幅も縮小化される為、単位メモリセルから取り出すことの出来る電流は減少する傾向にある。メモリセル電流の減少は、速度の低下をもたらすため望ましくない。回路的工夫も必要であるが、メモリセル電流を増やすことがもっとも有効である。

【0003】

【発明が解決しようとする課題】上記したメモリセルの高速化のために電流を増やすには、トランジスタのチャネル幅を広げる方法と、閾値電圧を下げる方法がある。しかし、チャネル幅を広げると、メモリセルサイズが大

きくなってしまうという問題が生じる。

【0004】そこで、閾値電圧を下げれば、チャネル幅を大きくせずに電流を増やすことが可能となる。しかしながら、閾値電圧を下げると、待機時に流れる電流、所謂リーク電流が増大するという問題がある。従って、メモリセルを微細化、大容量化すると、このリーク電流による消費電力が無視出来ないくらい増大し、バッテリーを電源とする携帯機器などに用いるには極めて不都合なこととなる。従って、従来の方法では大容量で高速のSRAMメモリを構成する事が極めて難しくなっている。

【0005】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、電源電圧を低下させてもメモリセル電流の低下、スタンバイ電流の増大を防止し、大容量で高速動作可能なメモリ装置を提供することである。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明の構成は、第2導電型のウエルに第1導電型のトランジスタが形成され、第1導電型のウエルに第2導電型のトランジスタが形成されるスタティック型メモリセルを有するメモリ装置において、第2導電型のウエル及び第1導電型のウエルがあるメモリセル数毎に分離された構成を有し、当該メモリセルが選択されて動作する時と当該メモリセルが非選択で待機している時とで、分離された第2導電型のウエルに異なる電位を与える電位切替手段を具備することにある。

【0007】他の発明の構成は、第2導電型のウエルに第1導電型のトランジスタが形成され、第1導電型のウエルに第2導電型のトランジスタが形成されるスタティック型メモリセルを有するメモリ装置において、第2導電型のウエル及び第1導電型のウエルがあるメモリセル数毎に分離された構成を有し、当該メモリセルが選択されて動作する時と当該メモリセルが非選択で待機している時とで、分離された第1導電型のウエルに異なる電位を与える電位切替手段を具備することにある。

【0008】また、他の発明の構成は、スタティック型メモリセルを有する半導体装置において、第2導電型トランジスタを有する前記メモリセル内に存在する第1導電型のウエルと、第1導電型のトランジスタを有する前記メモリセル内に存在する第2導電型のウエルと、第1の電位を供給する第1の電源線と、第2の電位を供給する第2の電源線と、第3の電位を供給する第3の電源線と、前記第1の電源線及び第2の電源線に結合され、切り替え信号に基づいて、前記第1導電型のウエルに前記第1の電位若しくは第2の電位を切り替えて供給する第1の切り替え部とを備えることにある。

【0009】他の発明の構成は、スタティック型メモリセルを有する半導体装置において、第2導電型のトランジスタを有し、前記メモリセル内に存在する第1導電型

のウエルと、第1導電型のトランジスタを有し、前記メモリセル内に存在する第2導電型のウエルと、前記第1導電型のウエルに結合され、第1の電位若しくは第2の電位を供給する第1の電源線と、第3の電位を供給する一つの第2の電源線と、前記第1の電源線に結合され、切り替え信号に基づいて前記第1の電源線に前記第1の電位若しくは第2の電位を切り替えて供給する一つの切り替え部と、を有することにある。

【0010】上記発明によれば、上記問題点を回避し、通常はウエルにバイアスを印加して、トランジスタの閾値を上げてリーク電流を低減し、メモリセルにアクセスして動作させる際には、そのブロックのメモリセルの基板電位を解除して閾値を下げて動作させて、高速動作させる。

【0011】ここで、第1導電型と第2導電型とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。

【0012】また、MIS (Metal Insulator Semiconductor) にはMOS (Metal Oxide Semiconductor) が含まれる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明のメモリ装置の一実施形態に係るSRAMのメモリセルの構成を示したブロック図である。SRAMのメモリセルは通常完全CMOS型のメモリセルを用いるため、メモリセルブロックは、pMOSTランジスタが形成されるnウエル20とnMOSTランジスタが形成されるpウエル30を有し、且つ、これらnウエル20とpウエル30が、メモリセルブロック単位で分断されている。又、nウエル20をVnwの電位の電源線5-1か、Vddの電位の電源線61のいずれかに接続するスイッチ41と、pウエル20をVpwの電位の電源線52か、Vssの電位の電源線62のいずれかに接続するスイッチ42を備えている。但し、 $Vnw > Vdd$ 、 $Vss > Vpw$ の関係がある。

【0014】通常、完全CMOS型のメモリセルを用いるSRAMでは、nMOSTランジスタのpwe1130とpMOSTランジスタのnウエル20が平行に且つ帯状に形成される。従来のpウエル30は通常接地電位Vssに、nウエル20は電源電位に固定される。本例では、これらpウエル30とnウエル20をあるメモリセル単位毎に分割する。その分割単位は、例えば図1に示した如く、ワード線の分割単位(メモリセルブロック単位)で良く、32セルや64セルといった単位で分割するようにしてもよい。

【0015】分割されたウエルは、スイッチ41、42を介してpウエル30ならば接地電位Vssより低いVpw、例えば-1Vに、nウエル20なら電源電位Vddより高いVnw、例えば電源電圧+1Vに接続され

る。これら電位は周辺回路により生成されて電源線51、52、61、62を介して供給される。

【0016】図2は上記したメモリセルブロックに構成する1個のメモリセルの構成を示した回路図である。pMOSTランジスタ81とnMOSTランジスタ82で構成されるインバータと、pMOSTランジスタ83とnMOSTランジスタ84で構成されるインバータとが互いに逆極性で並列接続されてメモリ部が構成され、このメモリ部へアクセスするため、ワードラインWLに接続されて、スイッチとして動作するnMOSTランジスタ85、86が接続されて、1個のメモリセルが構成されている。

【0017】ところで、メモリセルを構成するMOSTランジスタのウエルは、例えばnMOSTランジスタなら接地され、pMOSTランジスタなら電源に接続される。本例では、配線91によりVnwかVddがnウエルに印加され、配線92によりVpwかVssがpウエルに印加されるようになっている。

【0018】図3は図1に示したスイッチ41、42の詳細構成例を示した回路図である。

【0019】スイッチ41は、レベルシフター31、pMOSTランジスタ32、pMOSTランジスタ33から構成され、スイッチ42は、レベルシフター34、nMOSTランジスタ35、nMOSTランジスタ36から構成されている。

【0020】レベルシフター31にはVnwが印加され、レベルシフター34にはVpwが印加されており、両レベルシフター31、32にセクションワード線SWLが接続されている。又、pMOSTランジスタ32、pMOSTランジスタ33にメモリセルブロック100のnウエルに結合された配線91が接続されている。nMOSTランジスタ35、nMOSTランジスタ36にメモリセルブロック100のpウエルに結合された配線92が接続されている。

【0021】図4は、本実施形態の別のスイッチの構成例を示した回路図である。このスイッチについても、SWL信号に基づいて、各ウエルに供給する電位を切り替える。図示の如く、基本的にnMOSとpMOSの対の組み合わせで構成される。この利点としては、メモリセル自身がnMOS/pMOSのペアで構成されているため、セルレイアウトをそのままに、接続する配線を変えるだけで回路が構成できる。また、回路自身は大きなサイズのトランジスタを必要としないため、メモリセルに用いるような小さなMOSFETで十分である。さらに、メモリセル・アレイは、繰り返しパターンであり、アレイ端では規則性が崩れるために寸法が変わる問題がある。これを抑制するには光学的にパターンを補正する方法とダミーパターンを配置する方法がある。通常、ダミーを配置するが、この場合余分な面積を必要としてしまう。本実施形態の回路では、ダミーとして用いられる

セルを用いて回路を構成するため、無駄がなくなるという利点がある。

【0022】図5は、本実施形態の動作を説明するためのタイミングチャートである。このタイミングチャートの横軸は時間として信号SWLの変化によりnウエル及びpウエルに供給される電位を示し、さらに、ビット線BLでの読み込み及び書き込み動作のタイミングを示している。なお、本実施形態では、“0”read及び“0”writeの場合について示す。まず、メモリセルブロック100が選択されていない時、即ち、待機時には、セクションワード線SWLがローレベルであるため、レベルシフト31のaがローレベルで、bがハイレベルになる。これにより、pMOSTランジスタ32がオフで、pMOSTランジスタ33はオンになって、メモリセルブロック100のnウエルには V_{nw} が印加される（状態I、状態III）。

【0023】次に、選択時には、セクションワード線SWLがハイレベルであるため、レベルシフト32のaがハイレベルで、bがローレベルになる。これにより、pMOSTランジスタ32がオンで、pMOSTランジスタ36はオフになって、メモリセルブロック100のnウエルには V_{dd} が印加される（状態II、状態IV）。これがreadによる選択の場合には、ワード線がハイレベルとなり、“0”データが読み出される。これにより、ビット線BLの電位が低下する。一方、これがwriteによる選択の場合には、ワード線がハイレベルとなり“0”データが書き込まれる。

【0024】同様に、待機時には、レベルシフト34のaがローレベルで、bがハイレベルになる。これにより、nMOSTランジスタ35がオフで、nMOSTランジスタ36はオンになって、メモリセルブロック100のpウエルには V_{pw} が印加される（状態I、状態II）。

【0025】一方、選択時には、セクションワード線SWLがハイレベルであるため、レベルシフト34のaがハイレベルで、bがローレベルになる。これにより、nMOSTランジスタ35がオンで、nMOSTランジスタ36はオフになって、メモリセルブロック100のnウエルには V_{ss} が印加される（状態II、状態IV）。

【0026】ここで、閾値電圧は、pウエルの電位を下げると高くなり、nウエルの電位を上げると高くなる。従って、閾値電圧を V_{th} 、ウエルの電圧を V_w 、nMOSTランジスタ又はpMOSTランジスタのゲート電圧を V_g とすると、pウエルでは、 V_{th} は $(V_g - V_w)$ に比例し…（1）、nウエルでは、 V_{th} は $(V_g + V_w)$ に比例する…（2）。

【0027】従って、pウエルで、待機時に、 V_w として V_{ss} より低い電圧の V_{pw} を掛けると、（1）の関係から閾値電圧が高くなり、メモリセルのリーク電流を小さくすることができる。その後、メモリセルブロック

100が選択されて、動作する時に、 V_w として V_{ss} を掛けると、閾値電圧が低くなり、メモリセルから取り出すことができる電流を大きくすることができ、メモリセルを高速に動作させることができる。

【0028】同様に、nウエルで、待機時に、 V_w として V_{dd} より高い電圧の V_{nw} を掛けると、（2）の関係から閾値電圧が高くなり、メモリセルのリーク電流を小さくすることができる。その後、メモリセルブロック100が選択されて、動作する時に、 V_w として V_{dd} を掛けると、閾値電圧が低くなり、メモリセルから取り出すことができる電流を大きくすることができ、メモリセルを高速に動作させることができる。

【0029】本例では、この切替をセクションワード線の選択の可否で行っている。即ち、メモリセルブロック100が選択されて、動作する時には、セクションワード線SWLがハイレベルとなって、スイッチ42、41が切り替わり、pウエルに V_{ss} が、nウエルに V_{dd} が掛かることになって閾値電圧を低くする。メモリセルブロック100が非選択で、待機時には、スイッチ42、41がオフになり、pウエルに V_{pw} が、nウエルに V_{nw} が掛かることになり、閾値電圧を高くする。

【0030】通常、大容量の低消費電力用途のSRAMでは、閾値電圧を0.6～0.8Vに設定する為、例えば50nsの速度で動作させようとする、1.8V以上の電圧を必要とする。1.5V以下で動作させるには閾値電圧を下げる必要があり、リーク電流の増大をもたらす。例えば閾値電圧を0.2V程度下げると、リーク電流は約2桁増大する。

【0031】しかしながら、本実施形態では、閾値電圧を下げて基板電位（ V_{pw} 、 V_{nw} ）を印加することにより、待機時のリーク電流は減少し、動作時の電流は増大するので、1.5V以下の電源電圧、例えば1Vでも高速で動作が可能となる。

【0032】本実施形態によれば、読み出し時に基板バイアス（ V_{pw} 、 V_{nw} ）を解除すれば、閾値電圧が低下して駆動力が増大する為、高速の動作が可能となる。

【0033】又、一般にウエルの抵抗はキロオームの単位であり、接合容量と合わせたRC遅延は大きくなるが、本実施形態のようにセクション毎にウエルを分割することにより、RC遅延を低減することが可能である。

【0034】更に、レベルシフター31、34をセクションワード線SWLのドライブ回路のところに配置することにより、パターンの増大をほとんど無くすることができる。

【0035】図6は本実施形態のレイアウト図である。一般的にメモリセルは並列に設けられ、その付近にはビット線BL及び／BL及びSWL線が設けられる。しかし、ワード線を含む配線を選択する回路やワード線を含む配線を駆動する回路を配置するために、非メモリ領域

を設けることが行われる。例えば、図6の如く、メモリセルブロックと71cとの間に非メモリ領域72が設けられている。この非メモリ領域72にVnwを供給する配線73及びVpwを供給する配線74を配置する。これら配線の配置はビット線と略平行に設けることができる。また、同層に設けることができる。一般に、この非メモリ領域72にはビット線が設けない場合が多いため配線を行う事が出来る。このように、メモリセルブロックの非メモリ領域を利用して、Vnwを供給する配線及びVpwを供給する配線を配置することで、本実施形態のように複数の電位をウエルに供給することができる。また、配線73及び74をビット線と平行に配置することで、光学的にも繰り返しパターンとなり、寸法制御性に優れる。さらに、既存のスペースに配置することで、面積の増加を防ぐことができる。

【0036】一方、スイッチもこの非メモリ領域72に設けることが出来る。さらに詳しくは、非メモリ領域72に設けた配線73、74と、Vdd線75、Vss線76の交差する部分にスイッチを設けることができる。また、レベルシフター31、34をセクションワード線SWLのドライブ回路のところに配置することにより、パターンの増大をほとんど無くすることができる。

【0037】尚、上記実施形態では、nウエル20、pウエル30双方に基板電位(Vnw、Vpw)を印加している為、3重ウエルが必要となる。しかしながら、pMOSトランジスタは負荷として機能しているだけなので、pウエル30だけ基板電位を制御する方式にしても何ら差し支えない。しかも、n型基板を用いれば、3重ウエルを形成しなくても本発明の効果が得られる為、コスト的にも有利である。また、nウエル20だけ基板電位を制御する方式にしてもよい。基板電位を切り替える方法、基板電位の値は、本発明の効果が得られる範囲で任意に決めることが出来る。

【0038】

【発明の効果】以上詳細に説明したように、本発明のメモリ装置によれば、動作時と待機時では、基板電位を切り換えることにより、待機時の消費電力を抑えつつ低電圧下でも高速に動作させることができるため、大容量、高速、且つ低消費電力のSRAMを得ることができる。

【図面の簡単な説明】

【図1】本発明のメモリ装置の一実施形態に係るSRAMのメモリセルの構成を示したブロック図である。

【図2】図1に示したメモリセルの詳細構成例を示した回路図である。

【図3】図1に示したスイッチの詳細構成例を示した回路図である。

【図4】本実施形態の別のスイッチの構成例を示した回路図である。

【図5】本実施形態の動作を説明するためのタイミングチャートである。

【図6】本実施形態のレイアウト図である。

【符号の説明】

20 第2導電型のウエル

30 第1導電型のウエル

31、34 レベルシフター

32、33、35、36、81、83 第1導電型のトランジスタ

41、42 スイッチ

51、52、61、62 電源線

71a、71b、71c メモリセルブロック

72 非メモリ領域

73 Vnw配線

74 Vpw配線

75 Vdd配線

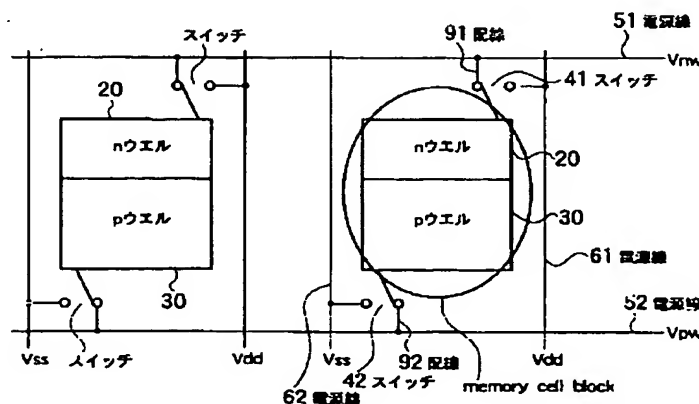
76 Vss配線

82、84、85、86 第2導電型のトランジスタ

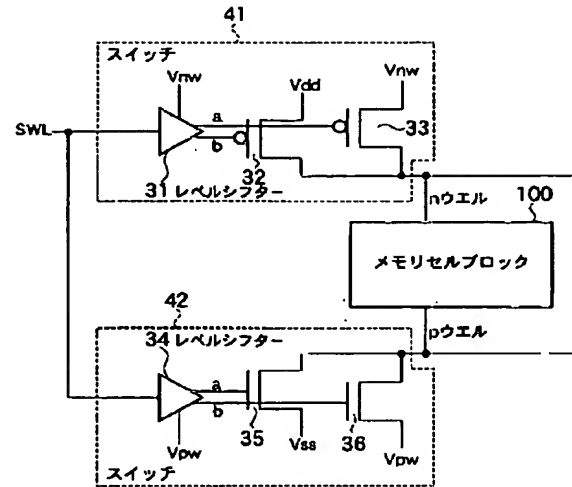
91、92 配線

100 メモリセルブロック

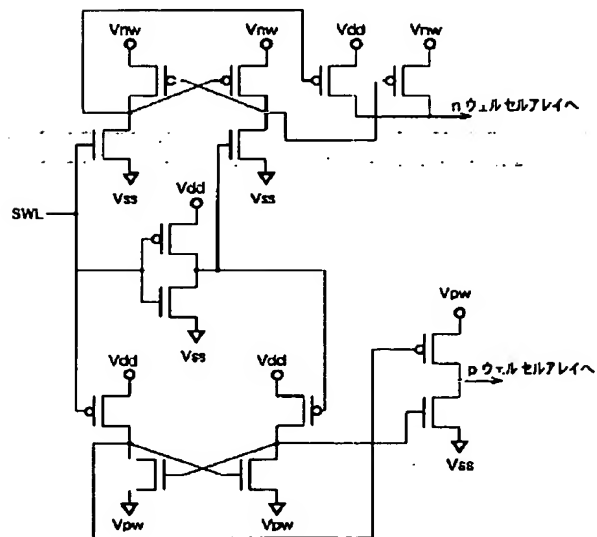
【図1】



【図3】

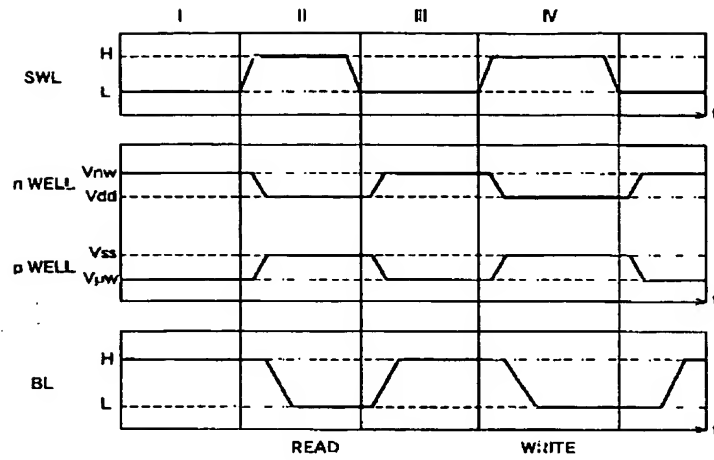


【例4】

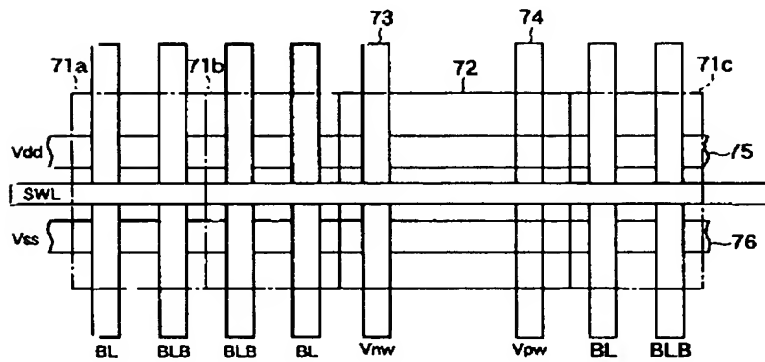


!(8) 001-338993 (P2001-338993A)

【図5】



【図6】



フロントページの続き

(51) Int. Cl. 7

H01L 27/04
21/822
21/8238
27/092

識別記号

F I

H01L 27/04
27/08

(参考)

G
321K